



Adresse et lieu du stage :

III-V Lab

Joint lab of 'Alcatel-Lucent Bell Labs France', 'Thales Research and Technology' and 'CEA Leti'

Campus Polytechnique, 1, Avenue A. Fresnel

91767 Palaiseau cedex, France

Responsable du stage : Guang-Hua DUAN

Tel. : 33 1 69 41 57 39

Fax : 33 1 69 41 57 38

Mobile : 33 6 07 24 24 44

Email : guanghua.duan@3-5lab.fr

Proposition de stage 2014

Conception et caractérisations de lasers accordables III-V sur silicium

Les circuits photoniques intégrés (PIC : photonic integrated circuits) à haut débit réalisant des fonctions d'émission ou de réception deviennent des éléments clés dans les réseaux de télécommunications optiques. Plus particulièrement l'intégration sur silicium se trouve actuellement dans une phase de développement rapide. Elle bénéficie des moyens technologiques très importants déjà développés pour l'électronique. Elle est bien placée pour répondre à des besoins en volume pour les transmissions de courte distance ou les réseaux d'accès. Le III-V Lab s'est engagé depuis plusieurs années sur l'intégration photonique sur silicium, en associant des équipes du CEA-LETI à Grenoble et de Bell Labs France. Le III-V Lab développe plus particulièrement la brique de base lasers InP sur silicium par collage moléculaire, qui est un élément clé pour les PICs sur silicium.

Au sein de l'Equipe Photonique sur silicium, le stagiaire participera aux activités de recherche menées depuis plus de 5 ans dans l'intégration de III-V sur silicium pour la réalisation de PICs sur silicium. Plus particulièrement, le stagiaire fera la conception et la caractérisation de lasers accordables III-V sur silicium.

Connaissances requises :

- Connaissances théoriques et pratiques en optique et en optoélectronique.

Envoyer un curriculum vitae et une lettre de motivation par courrier électronique au responsable du stage.